



## 【特許請求の範囲】

【請求項1】互いに磁気結合した一次巻線と二次巻線と、

前記一次巻線に直列接続された主スイッチング素子と、  
前記二次巻線に直列接続された同期整流MOSトランジスタと、

前記一次巻線と磁気結合され、一端が前記同期整流MOSトランジスタのゲート端子に接続された補助巻線とを有し、

前記主スイッチング素子が導通したときには、前記補助巻線の前記一端に、前記同期整流MOSトランジスタを遮断させる電圧が誘起されると共に、前記二次巻線には、前記同期整流MOSトランジスタ内の寄生ダイオードを逆バイアスする極性の電圧が誘起されるように接続され、

前記主スイッチング素子が導通状態から遮断状態に転じたときには、前記補助巻線の前記一端には、前記同期整流MOSトランジスタを導通させる極性の電圧が誘起されると共に、前記二次巻線には、前記同期整流MOSトランジスタ内の寄生ダイオードを順バイアスする極性の電圧が誘起されるように構成された電源装置であって、前記補助巻線には強制遮断回路が設けられ、前記補助巻線に前記同期整流MOSトランジスタを導通させる極性の電圧が誘起された後、所定時間経過後に、前記同期整流MOSトランジスタが遮断されるように構成されたことを特徴とする電源装置。

【請求項2】前記強制遮断回路は補助トランジスタを有し、

前記補助巻線に前記同期整流MOSトランジスタを導通させる極性の電圧が誘起された後、前記補助トランジスタが遅れて導通し、前記同期整流MOSトランジスタのゲート・ソース間電圧がスレッシュホールド電圧以下にされるように構成されたことを特徴とする請求項1記載の電源装置。

【請求項3】PWM回路を有する請求項1又は請求項2のいずれか1項記載の電源装置であって、該PWM回路により、前記主スイッチング素子のスイッチング動作が、周波数一定で導通期間と遮断期間の比が制御され、出力電圧が定電圧化されるように構成されたことを特徴とする。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電源装置にかかり、特に、同期整流型スイッチング電源のサージ電流の対策技術に関する。

【0002】

【従来の技術】近年では、二次側巻線に誘起された電圧を、MOSトランジスタの第三象限動作を利用して整流する同期整流型のスイッチング電源が多数開発されている。図2の符号101に示したものは、従来技術のスイ

ッチング電源であり、一次側の入力端子161に印加された直流電圧を安定化し、トランス104で絶縁した状態で二次側にエネルギーを伝達し、二次側の出力端子163から定電圧の直流電圧を得るように構成されている。

【0003】このスイッチング電源101を説明すると、上記トランス104内には、互いに磁気結合された一次巻線141、二次巻線142、補助巻線143、電圧検出巻線144が設けられている。

【0004】一次巻線141には、主スイッチング素子112が直列接続されており、一次側の入力端子161とグラウンド端子162間に印加された直流電圧は、平滑回路111でリップル成分が除去された後、一次巻線141と主スイッチング素子112の直列回路に印加されている。

【0005】主スイッチング素子112のゲート端子は、PWM回路116に接続されており、所定周波数でスイッチング動作し、二次巻線142に電圧を誘起させている。

【0006】二次巻線142には、同期整流MOSトランジスタ(nチャネル型MOSトランジスタ)121が直列接続されており、また、その同期整流MOSトランジスタ121のゲート端子は、補助巻線143の一端に接続されている。

【0007】二次巻線142及び補助巻線143の極性は、主スイッチング素子112が導通状態から遮断状態に転じると、二次巻線142により、同期整流MOSトランジスタ121のソース端子に正電圧が印加され、また、補助巻線143により、同期整流MOSトランジスタ121のゲート端子に正電圧が印加されるように構成されている。

【0008】このように、主スイッチング素子121が導通状態から遮断状態に転じると、同期整流MOSトランジスタ121のソース端子とゲート端子に同時に正電圧が印加され、その結果、同期整流MOSトランジスタ121は第三象限動作をし、二次巻線142に誘起された電圧によって符号147の矢示の向きに電流を流し、整流平滑回路122内のコンデンサを充電すると共に、出力端子163から負荷に電流を供給する。

【0009】このスイッチング電源101では、電圧検出巻線144には、二次巻線142に生じた電圧に比例した電圧が現れるようになっており、電圧検出巻線144に生じた電圧は、フィルタ回路113によって平滑された後、直列抵抗114で分割され、サンプリング電圧V<sub>...</sub>が生成されている。

【0010】このサンプリング電圧V<sub>...</sub>は、基準電圧V<sub>ref</sub>と共に誤差増幅器115に入力され、差電圧が誤差信号としてPWM回路116に出力されている。PWM回路116は、主スイッチング素子112の導通期間と遮断期間の比を、誤差信号を小さくする方向に変化さ

せるので、結局、二次側の出力端子163からは、基準電圧 $V_{ref}$ に応じた大きさの定電圧が得られるようになっている。

【0011】なお、符号119、129は一次側及び二次側のスナバ回路を示しており、主スイッチング素子112と同期整流MOSトランジスタ121に生じるサージ電圧を可及的に吸収するようになっている。

【0012】しかしながら上記のようなスイッチング電源101において、特に、負荷が軽い場合には、整流平滑回路122内のコンデンサ124が過充電されてしまい、その結果、主スイッチング素子112が遮断している間に、過充電されたコンデンサ124の放電電流が流れてしまう。

【0013】その放電電流の向きは、図3の符号148に示すように、二次巻線142がコンデンサを充電したときの電流とは逆向きであり、放電電流が一旦流れると、二次巻線142及び補助巻線143には、同期整流MOSトランジスタ121を順方向に導通させる極性の電圧が誘起されるため、その放電電流を止めることができない。

【0014】このように、二次巻線142に放電電流が流れている状態で、主スイッチング素子112が遮断状態から導通状態に転じると、主スイッチング素子112に大きなサージ電流が流れてしまう。

【0015】図5のタイミングチャートの上側の符号111は一次巻線141に流れる電流(即ち、主スイッチング素子112に流れる電流)を示しており、下側の符号112は二次巻線142に流れる電流を示している。符号Tは、同期整流MOSトランジスタ121が順方向に導通し(トランジスタ動作し)、過充電されたコンデンサ124が放電している期間を示しており、その状態で主スイッチング素子112が遮断状態から導通状態に転じるため、サージ電流148が発生している。

【0016】上記のようなサージ電流148は、主スイッチング素子112の劣化原因となり、また、効率低下の原因にもなるため、その対策が望まれている。

【0017】

【発明が解決しようとする課題】本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、上記のような同時オンを防止する技術を提供することにある。

【0018】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、互いに磁気結合した一次巻線と二次巻線と、前記一次巻線に直列接続された主スイッチング素子と、前記二次巻線に直列接続された同期整流MOSトランジスタと、前記一次巻線と磁気結合され、一端が前記同期整流MOSトランジスタのゲート端子に接続された補助巻線とを有し、前記主スイッチング素子が導通したときには、前記補助巻線の前記一端に、

前記同期整流MOSトランジスタを遮断させる電圧が誘起されると共に、前記二次巻線には、前記同期整流MOSトランジスタ内の寄生ダイオードを逆バイアスする極性の電圧が誘起されるように接続され、前記主スイッチング素子が導通状態から遮断状態に転じたときには、前記補助巻線の前記一端には、前記同期整流MOSトランジスタを導通させる極性の電圧が誘起されると共に、前記二次巻線には、前記同期整流MOSトランジスタ内の寄生ダイオードを順バイアスする極性の電圧が誘起されるように構成された電源装置であって、前記補助巻線には強制遮断回路が設けられ、前記補助巻線に前記同期整流MOSトランジスタを導通させる極性の電圧が誘起された後、所定時間経過後に、前記同期整流MOSトランジスタが遮断されるように構成されたことを特徴とする。

【0019】請求項2記載の発明は、請求項1記載の電源装置であって、前記強制遮断回路は補助トランジスタを有し、前記補助巻線に前記同期整流MOSトランジスタを導通させる極性の電圧が誘起された後、前記補助トランジスタが遅れて導通し、前記同期整流MOSトランジスタのゲート・ソース間電圧がスレッシュホールド電圧以下にされるように構成されたことを特徴とする。

【0020】請求項3記載の発明は、PWM回路を有する請求項1又は請求項2のいずれか1項記載の電源装置であって、該PWM回路により、前記主スイッチング素子のスイッチング動作が、周波数一定で導通期間と遮断期間の比が制御され、出力電圧が定電圧化されるように構成されたことを特徴とする。

【0021】本発明は上記のように構成されており、トランス内に互いに磁気結合した一次巻線と二次巻線が配置されている。一次巻線には、主スイッチング素子が直列接続され、二次巻線には、同期整流MOSトランジスタが直列接続されている。

【0022】また、トランス内には、一次巻線(及び二次巻線)と磁気結合された補助巻線が配置されており、その一端は、同期整流MOSトランジスタのゲート端子に接続されている。

【0023】図5は、本発明の同期整流MOSトランジスタに用いられるMOSトランジスタ182の断面構造図であり、ここではn-チャネル型のものが示されている。同図符号180はn型のシリコン基板であり、n-領域198の裏面側にはn<sup>+</sup>オーミック層186が形成されており、その表面にはドレイン電極189が成膜されている。

【0024】オーミック層186の反対側には、深いp<sup>+</sup>拡散層183と浅いp<sup>-</sup>拡散層184が形成され、更にそれらp<sup>+</sup>、p<sup>-</sup>拡散層183、184中にn<sup>+</sup>型のソース拡散層185が形成されている。ソース拡散層185とp<sup>+</sup>拡散層183上にはソース電極190が形成されており、他方、p<sup>-</sup>拡散層188上にはゲート酸化膜1

88と、ゲート電極187とがこの順序で形成されている。

【0025】ゲート電極187にソース電極190よりも高い電圧が印加されると、 $p^-$ 拡散層184表面に $n$ 型の反転層が形成され、ソース拡散層185と $n^-$ 領域198とがその反転層によって接続され、MOSトランジスタ182は導通状態になる。

【0026】 $p^+$ 及び $p^-$ 拡散層183、184と $n^-$ 領域198の間には、それらが形成する $p-n$ 接合により、寄生ダイオード181が存在しているが、MOSトランジスタ182が導通状態のとき(反転層が形成される状態のとき)、ドレイン電極189とソース電極190の間に、その寄生ダイオード181を逆バイアスする極性の電圧が印加されると(ドレイン電極189に高電圧、ソース電極190に低電圧が印加される場合)、MOSトランジスタ182は順方向に導通し、 $p^-$ 拡散層188表面の反転層を通して、ドレイン電極189からソース電極190に向けて電流が流れる。

【0027】ゲート電極187がソース電極190と同程度の電位にある場合、反転層は形成されないため、ドレイン電極189とソース電極190の間には電流は流れない。

【0028】上記とは逆に、寄生ダイオード181が順バイアスされる場合、MOSトランジスタ182が導通状態でないと、その記載ダイオード181に電流が流れてしまうが、導通状態にある場合、反転層を通してソース電極190からドレイン電極189に向けて電流が流れる。

【0029】上記動作は第三象限動作と呼ばれているが、反転層を電流が流れる場合の電圧降下は小さいため(約0.2VになるようにMOSトランジスタを選択しておく。)、第三象限動作中は、寄生ダイオード181には電流は流れない。

【0030】本発明の電源装置では、二次巻線には、主スイッチング素子が遮断状態から導通状態に転じると、同期整流MOSトランジスタ内の寄生ダイオードを逆バイアスする電圧が誘起され、導通状態から遮断状態に転じると、その寄生ダイオードを順バイアスする方向の電圧が誘起されるように構成されている。

【0031】他方、補助巻線の極性は、主スイッチング素子が遮断状態から導通状態に転じると、同期整流MOSトランジスタを遮断させる電圧が誘起され、主スイッチング素子が導通状態から遮断状態に転じると、同期整流MOSトランジスタを導通させる電圧が誘起されるように構成されている。

【0032】従って、主スイッチング素子が遮断状態から導通状態に転じるときは、補助巻線に誘起される電圧により、同期整流MOSトランジスタは遮断状態におかれており、二次巻線には電流は流れない。

【0033】逆に、主スイッチング素子が導通状態から

遮断状態に転じると、補助巻線に誘起された電圧により、同期整流MOSトランジスタは第三象限動作をし、寄生ダイオードを通らずに、反転層を通してソース端子からドレイン端子に向け、低損失で電流を流す。その電流は、二次側整流平滑回路内に設けられたコンデンサを充電する。

【0034】本発明の電源装置の補助巻線には強制遮断回路が設けられており、補助巻線に同期整流MOSトランジスタを導通させる極性の電圧が誘起されると、所定時間経過後に、同期整流MOSトランジスタを強制的に遮断させるように構成されている。

【0035】従って、主スイッチング素子が遮断状態から導通状態に転じる前に、強制遮断回路によって同期整流MOSトランジスタを遮断させれば、サージ電流は発生しない。

【0036】同期整流MOSトランジスタが順方向に導通し、コンデンサの放電電流を流すのは、一次巻線から二次巻線に移行するエネルギーが少ない場合(軽負荷の場合)なので、特に、主スイッチング素子がPWM制御されている場合には(周波数一定で、導通期間と遮断期間の比が制御されている場合。)、同期整流MOSトランジスタが第三象限動作を開始した後、強制遮断させるまでの時間は、主スイッチング素子の動作周波数に基いて定めることができる。

【0037】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。図1を参照し、符号1は本発明の一実施形態のスイッチング電源であり、トランス4を有している。該トランス4内には、互いに磁気結合された一次巻線41と、二次巻線42と、補助巻線43と、電圧検出巻線44とが設けられている。

【0038】一次巻線41には、主スイッチング素子12が直列接続されており、一次側の入力端子61に印加された電圧は、一次側整流平滑回路11で平滑された後、一次巻線41と主スイッチング素子12との直列回路に印加されるように構成されている。

【0039】二次巻線42の一端には、同期整流MOSトランジスタ21のソース端子が接続されており、そのドレイン端子は、二次側の整流平滑回路22の高電位側の端子に接続されている。具体的には、整流平滑回路22内のコンデンサ24の高電位側の端子に直結されており、そのコンデンサ24の低電位側の端子は、グラウンドラインに接続されている。他方、二次巻線42の他端は、そのグラウンドライン(二次側の平滑回路22の低電位側)に接続されている。

【0040】また、補助巻線43の一端は、二次巻線42と同期整流MOSトランジスタ21のソース端子とが接続された部分に接続されており、他端は、同期整流MOSトランジスタ21のゲート端子に(動作加速用のコンデンサ27及び抵抗26を介して)接続されている。

【0041】主スイッチング素子12がスイッチング動作すると、一次巻線41を介して二次巻線42に電圧が誘起される。二次巻線42の極性は、主スイッチング素子12が遮断状態から導通状態に転じる場合に、同期整流MOSトランジスタ21のソース端子に負電圧(グラウンド電位よりも低い電圧)を印加するように構成されている。

【0042】このときは、同期整流MOSトランジスタ21内の寄生ダイオードは逆バイアスされ、また、補助巻線43には、同期整流MOSトランジスタ21のゲート端子に負電圧を印加するので、同期整流MOSトランジスタ21は遮断状態になり、二次巻線42に電流は流れない。この期間は、一次巻線41に磁気エネルギーが蓄積される。

【0043】次に、主スイッチング素子12が導通状態から遮断状態に転じる場合には、二次巻線42には、同期整流MOSトランジスタ21のソース端子に正電圧を印加する電圧が誘起される。この場合には、同期整流MOSトランジスタ21のソース端子の電位は、そのドレイン端子の電位よりも高くなり、内部の寄生ダイオードは順バイアスされる。

【0044】このように、主スイッチング素子12が導通状態から遮断状態に転じる場合は、補助巻線43に誘起された電圧により、同期整流MOSトランジスタ21のゲート端子には、ソース端子よりも高い電圧が印加され、その結果、同期整流MOSトランジスタ21は通常とは逆向きに導通し(第三象限動作)、ソース端子からドレイン端子に向けて電流を流し、一次巻線41から二次巻線42に移行されたエネルギーにより、負荷に電力を供給すると共に、二次側整流平滑回路22を充電する。

【0045】このスイッチング電源1では、補助巻線43に強制遮断回路30が接続されており、補助巻線43に、同期整流MOSトランジスタ21を導通させる極性の電圧が誘起されると、この強制遮断回路30も動作を開始するようになっている。

【0046】強制遮断回路30を説明すると、該強制遮断回路30は、NPNトランジスタから成る補助スイッチ35を有している。該補助スイッチ35のエミッタ端子は同期整流MOSトランジスタ21のソース端子に接続されており、コレクタ端子は電流制限抵抗36を介して、同期整流MOSトランジスタ21のゲート端子に接続されている。

【0047】補助スイッチ35のベース端子は、タイミングコンデンサ34を介してエミッタ端子に接続されており、また、該ベース端子は、互いに直列接続されたタイミング抵抗33及びダイオード32を介して補助巻線43のゲート端子側に接続されている。

【0048】従って、補助巻線43に、同期整流MOSトランジスタ21のゲート端子に正電圧を印加する極性の電圧が誘起され、同期整流MOSトランジスタ21が

第三象限動作を開始すると、ダイオード32が順バイアスされ、該ダイオード32と抵抗33を流れる電流で、タイミングコンデンサ34が充電され始める。

【0049】その充電電流の大きさは、補助巻線43に誘起された電圧の大きさ、及びタイミング抵抗33の抵抗値で決まる値であり、充電により、タイミングコンデンサ34の電圧が上昇し、 $V_{th}$ (室温で約0.7V)を超える大きさになると、補助スイッチ35のベース・エミッタ間が順バイアスされ、補助スイッチ35が導通する。

【0050】補助スイッチ35が導通すると、同期整流MOSトランジスタ21のゲート端子の電圧が下がり、ソース・ゲート間の電圧がスレッシュホールド電圧以下になると、同期整流MOSトランジスタ21の第三象限動作は終了する(同期整流MOSトランジスタ21は遮断する)。

【0051】この強制遮断回路30では、上記タイミング抵抗33とタイミングコンデンサ34の大きさは、主スイッチング素子12が遮断状態から導通状態に転じる前に、補助スイッチ35が導通するように設定されており、従って、主スイッチング素子12が導通する前に、同期整流MOSトランジスタ21が遮断し、その結果、主スイッチング素子12と同期整流MOSトランジスタ21とが同時に導通状態にならないようにされている。

【0052】強制遮断回路30によって同期整流MOSトランジスタ21が強制遮断にされた状態で、主スイッチング素子12が遮断状態から導通状態に転じると、一次巻線41に電流が流れる。そして、主スイッチング素子12が導通状態から遮断状態に転じると、二次巻線42に誘起された電圧で、整流平滑回路22及び負荷に電流が供給される。

【0053】上記のように、主スイッチング素子12と同期整流MOSトランジスタ21が交互に導通することで、一次側から二次側にエネルギーが伝達されるようになっている。二次巻線42の電圧は、検出巻線44によって検出され、直列抵抗14で分圧され、サンプリング電圧 $V_{smp}$ が生成されている。サンプリング電圧 $V_{smp}$ は、基準電圧 $V_{ref}$ と共に誤差増幅器15に入力され、両方の電圧の差分を示す誤差信号がPWM回路16に出力される。

【0054】PWM回路16は、入力された誤差信号を小さくする方向に、主スイッチング素子12の導通期間と遮断期間の比を変化させる(スイッチング周波数は一定値を維持する)。その結果、二次側整流回路22の出力端子63からは、定電圧が出力されるようになっている。

【0055】なお、補助巻線43に、同期整流MOSトランジスタ21を遮断させる極性の電圧が誘起されると、タイミングコンデンサ34は、ダイオード32に対して並列接続されたコンデンサ31を介して放電する

10

20

30

40

50

(コンデンサ31の替わりに抵抗を設けてもよい。また、コンデンサ31とダイオード32の並列回路に替え、ツェナーダイオードを設け、ツェナーダイオードを介して放電させてもよい)。

【0056】以上説明したように、本発明の電源装置によれば、主スイッチング素子12と同期整流MOSトランジスタ21が同時に導通状態になることがないため、サージ電流は発生しない。

【0057】なお、上記補助スイッチ35はバイポーラトランジスタで構成したが、MOSトランジスタで構成してもよい。また、上記実施形態は、電圧検出巻線44で二次側の電圧を間接的に検出するものであったが、本発明はそれに限定されるものではなく、フォトカプラを用い、二次側の電圧を直接一次側にフィードバックさせるものであってもよい。

【0058】

【発明の効果】サージ電流が発生しないので、主スイッチング素子の劣化が無く、また、効率も高くなる。

\*【図面の簡単な説明】

【図1】本発明の電源装置の一例の回路図

【図2】従来技術の電源装置の例を示す回路図

【図3】その電源装置のサージ電流を説明するための図

【図4】サージ電流を説明するためのタイミングチャート

【図5】同期整流MOSトランジスタの第三象限動作を説明するための図

【符号の説明】

1……電源回路

12……主スイッチング素子

16……PWM回路

21……同期整流MOSトランジスタ

30……強制遮断回路

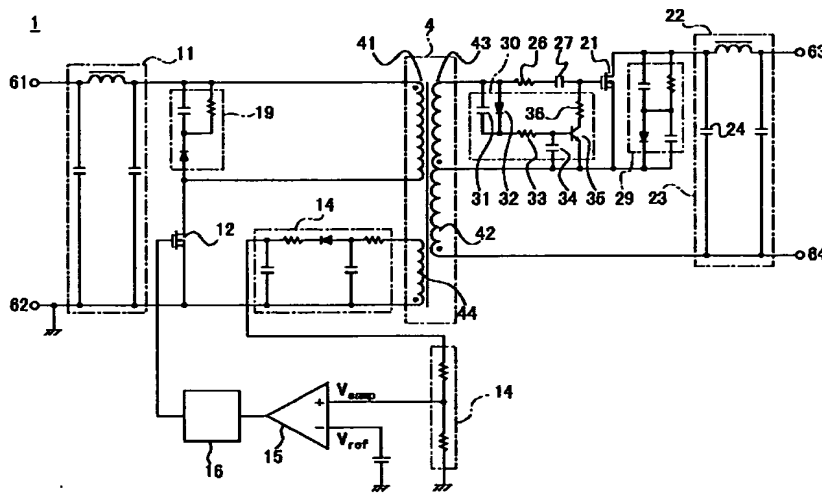
35……補助トランジスタ

41……一次巻線

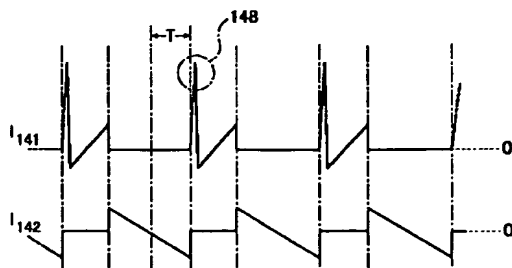
42……二次巻線

43……補助巻線

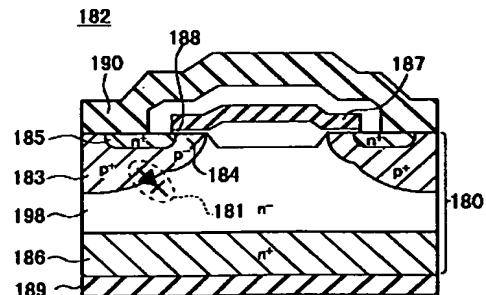
【図1】



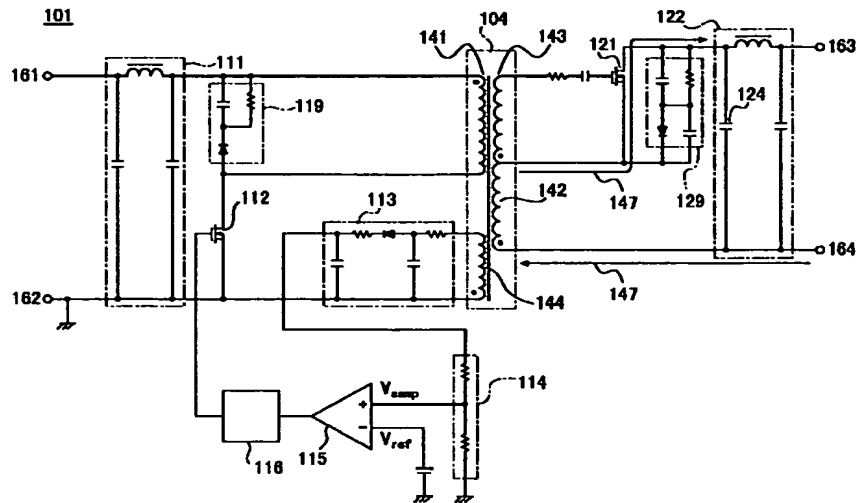
【図4】



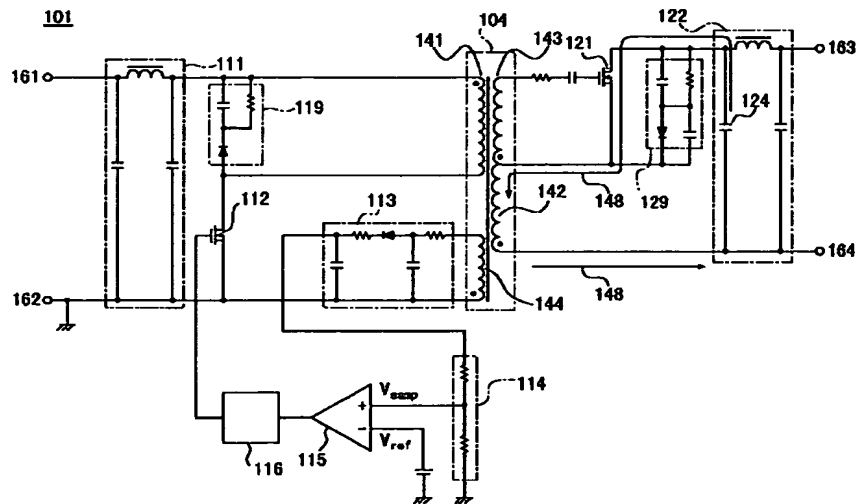
【図5】



【図2】



【図3】



フロントページの続き

(72)発明者 東 宏樹  
埼玉県飯能市南町10番13号 新電元工業株  
式会社飯能工場内

Fターム(参考) 5H730 AA14 BB43 BB57 DD04 DD41  
EE02 EE07 EE14 FD24 FG05